

**Japanese Unexamined Patent Publication  
256390/1986 (Tokukaisho 61-256390)**

**A. Relevance of the Above-identified Document**

The following is an English translation of non-English language information that may be relevant to the issue of patentability of the claims of the present application.

**B. Translation of the Relevant Passages of the Document**

See also the attached English Abstract.

**1. TITLE OF THE INVENTION**

Control pulse generation circuit for driving liquid crystal panel

**2. CLAIM**

A control pulse generation circuit for driving a liquid crystal panel, comprising a video signal sample and hold circuit, which samples a video signal during one horizontal scanning period in a time division manner and holds the video signal during another one horizontal scanning period subsequently,

the video signal sample and hold circuit receiving the video signal as a control pulse,

wherein two control pulses having a cycle of two horizontal periods are provided and are set so as to have a

longer time period during which both of the two control pulses are in an OFF state, compared to a transitional switching time of an element constituting the sample and hold circuit.

### **3. DETAILED DESCRIPTION OF THE INVENTION**

#### **[INDUSTRIAL APPLICABILITY]**

The present invention relates to a control pulse generation circuit for supplying a control pulse to a liquid crystal panel drive circuit including a sample and hold circuit.

#### **[BACKGROUND ART]**

In recent years, liquid crystal television receivers have been developed which incorporate a liquid crystal panel as a display element. The following briefly describes operations of such a liquid crystal television receiver.

Fig. 3 shows a typical structure of a liquid crystal television receiver. A TV signal transmitted from a broadcast station is received by an antenna 1, and converted into an intermediate frequency by a tuner 2. The TV signal converted into the intermediate frequency is amplified and detected by a signal processing circuit section 3, so that an audio signal and a video signal are obtained. The audio signal is outputted via an output circuit 4 to a speaker 5, and the video signal is applied to a chroma section 6 including a chroma processing section

and a chroma output section. The video signal is demodulated into R, G, B signals at the chroma processing section, and then converted into signals whose polarities are reversed every field at the chroma output section, so as to be supplied to a Y driver integrated circuit 9 (hereinafter, an integrated circuit is referred to as an IC). The video signals supplied to the Y driver IC 9 are sampled and become on hold, and then applied to source lines of an active matrix liquid crystal panel 8. Further, the video signals are supplied to a control pulse generation circuit 7. In the control pulse generation circuit 7, various kinds of control pulses are obtained and applied to control signal input terminals of an X driver IC10 and the Y driver IC9. The X driver IC10 carries out scanning in a vertical direction, and outputs scanning pulses to gate lines of the active matrix liquid crystal panel 8. As such, with the vertical scanning pulses from the X driver IC10 and the video signals from the Y driver IC9, a television image is realized on the active matrix liquid crystal panel 8.

The following describes how the operation of the Y driver IC9 relates to control pulses supplied from the control pulse generation circuit 7. The Y driver IC9 and the control pulse generation circuit 7 are shown in Fig. 3. Fig. 4 shows one exemplary structure of the Y driver IC9 and the control pulse generation circuit 7. In Fig. 4,

control pulses  $\phi_Y$ ,  $G_1$ ,  $G_2$ , and  $S$  are supplied from the control pulse generation circuit. R, G, B signals from the chroma section are supplied to R, G, B terminals and switched by an analog multiplexer 11 every horizontal period, and then introduced to three video signal lines 12, respectively. The analog multiplexer 11 carries out the switching operations for R, G, B pixel arrays. In Fig. 4, indicated by 13 is a shift register, and 14 is a sample and hold circuit and operational amplifier. From the control pulse generation circuit, the shift register 13 receives a clock  $\phi_Y$  and a start pulse  $S$ , and sequentially outputs sampling pulses  $\theta_1$ ,  $\theta_2$ , ..., respectively. The sample and hold circuit and operational amplifier 14 samples video signals from the video signal lines 12 according to sampling pulses  $\theta_1$ ,  $\theta_2$ , ... supplied from the shift register, and holds the video signals according to  $G_1$  and  $G_2$  pulses supplied from the control pulse generation circuit. Outputs of the sample and hold circuit and operational amplifier 14 are respectively connected to output terminals of the Y driver IC  $Y_{01}$ ,  $Y_{02}$ , ... which are connected to the source lines of the active matrix liquid crystal panel, respectively. Fig. 5 shows one circuit provided in the sample and hold circuit and operational amplifier ( $n^{th}$  circuit) and the control pulse generation circuit, which are shown in Fig. 4, and Fig. 6 shows its timing chart.

In Fig. 5, indicated by 7 is the control pulse generation circuit, 15 is a video input terminal, 16, 17, 18, and 19, and 20 are switching elements controlled by the control signals  $Q_n$ ,  $G_1$ ,  $G_2$ ,  $G_2$ , and  $G_1$ , respectively,  $C_{na}$  and  $C_{nb}$  are sampling and holding capacitors, 21 is a buffer amplifier, and 22 is a video output terminal.

Referring to the timing chart shown in Fig. 6, the following describes a pulse generation circuit for driving a liquid crystal panel and a sample and hold circuit, which are configured as described above.

In Fig. 6,  $V_{in}$  represents a waveform of an input signal supplied to the video input terminal 15 and one horizontal period is denoted by 1H (one horizontal line will be abbreviated to 1H hereinafter).  $G_1$  and  $G_2$  are control pulses for the sample and hold circuit, which are supplied from the control pulse generation circuit 7. Both of the  $G_1$  and  $G_2$  have two horizontal periods within one cycle, and their phases are shifted by  $\pi$ . The falling edge of  $G_1$  and the rising edge of  $G_2$  are matched, and the rising edge of  $G_1$  and the falling edge of  $G_2$  are matched, providing coincident timing.  $Q_n$  represents an  $n^{\text{th}}$  sampling pulse when video signals in 1H are supplied in a time division manner.  $Q_n$  is used to sample information of the video signals, which will be supplied to  $n^{\text{th}}$  line of the liquid crystal panel.  $V_{na}$  and  $V_{nb}$  are voltages to be supplied to the sampling and holding capacitors  $C_{na}$  and  $C_{nb}$ ,

respectively. Further,  $V_{out}$  represents a waveform of an output signal of the video output terminal 22. The video output terminal 22 is connected to an  $n^{\text{th}}$  electrode (not shown) of the liquid crystal panel.

In the timing chart, during  $t_1$  period, since  $G_1$  is ON and  $G_2$  is OFF, information of the sampling and holding capacitor  $C_{nb}$  is transmitted to the video output terminal 22. Further, video signal information is sampled to the sampling and holding capacitor  $C_{na}$  according to the sampling pulse  $Q_n$ . Next, during  $t_2$  period, since  $G_1$  is Off and  $G_2$  is ON, the information of  $C_{na}$  thus sampled during  $t_1$  period is transmitted to the video output terminal 22. Further, video signal information is sampled to the capacitor  $C_{nb}$  according to the sampling pulse  $Q_n$ .

During the following periods  $t_3$ ,  $t_4$ , ..., operations carried out in  $t_1$  and  $t_2$  periods will be repeated in a similar manner.

#### [PROBLEM TO BE SOLVED BY THE INVENTION]

In the conventional circuit, as to the sampling and holding control pulses  $G_1$  and  $G_2$  supplied from the control pulse generation circuit, the falling edge of  $G_1$  and the rising edge of  $G_2$  are matched, and the rising edge of  $G_1$  and the falling edge of  $G_2$  are matched, providing coincident timing. On the contrary, elements constituting the switches 17, 18, 19, and 20, which perform sampling and holding operations (e.g. MOS analog switches), have

transitional switching periods. This generates a period in which both of G<sub>1</sub> and G<sub>2</sub> become in an ON state when switched. As a result, crosstalk occurs between V<sub>na</sub> and V<sub>nb</sub>, so that accurate video signal information cannot be transmitted to the video output terminal 22. In the example shown in Fig. 6, the signal V<sub>nb</sub> should be outputted as the signal V<sub>out</sub> during t<sub>3</sub> period. However, accurate information is not obtained due to the influence of V<sub>na</sub>.

The present invention is made in view of the foregoing problems, and an object of the present invention is to provide a pulse generation circuit for driving a liquid crystal panel, in which no crosstalk occurs and accurate video signal information is transmitted to the video output terminal 22 of the Y driver IC.

#### [MEANS TO SOLVE THE PROBLEMS]

According to the present invention, to solve the foregoing problems, a pulse generation circuit for driving a liquid crystal panel includes a Y driver IC having therein a video signal sample and hold circuit, which samples a video signal during one horizontal scanning period in a time division manner and holds the video signal during another one horizontal scanning period subsequently, the video signal sample and hold circuit receiving the video signal as a control pulse, wherein two control pulses having a cycle of two horizontal periods are provided and

are set so as to have a longer time period during which both of the two control pulses are in an OFF state, compared to a transitional switching time of an element constituting the sample and hold circuit.

#### [OPERATION]

According to the arrangement of the present invention, when two sampling and holding control pulses are switched, both of the pulses become in an OFF state for a certain effective time period, and then one of the pulses becomes in an ON state. This allows no crosstalk occurring between two voltages which were sampled and become on hold, so that accurate video signal information can be transmitted to a video output terminal.

#### [EMBODIMENTS]

With reference to figures, the following describes a pulse generation circuit for driving a liquid crystal display according to one embodiment of the present invention.

Fig. 1 is a block diagram showing one embodiment of the present invention, and Fig. 2 shows its timing chart. A circuit shown in Fig. 1 is the same as that shown in Fig. 5. Specifically, in Fig. 7, indicated by 7 is a control pulse generation circuit, 15 is a video input terminal, 16, 17, 18, and 19, and 20 are switching elements which are controlled by control signals  $Q_n$ ,  $G_1$ ,  $G_2$ ,  $G_2$ , and  $G_1$ , respectively,  $C_{na}$  and  $C_{nb}$  are sampling and holding capacitors, 21 is a buffer amplifier, and 22 is a video

output terminal.

Referring to the timing chart shown in Fig. 2, the following describes a pulse generation circuit for driving a liquid crystal panel and a sample and hold circuit, which are configured as described above.

In Fig. 2,  $V_{in}$  represents a waveform of an input signal supplied to the video input terminal 15 and one horizontal period is denoted by 1H.  $G_1$  and  $G_2$  are control pulses for the sample and hold circuit, which are supplied from the control pulse generation circuit 7. Both of the  $G_1$  and  $G_2$  have two horizontal periods within one cycle, and their phases are shifted by  $\pi$ . A period between the falling edge of  $G_1$  and the rising edge of  $G_2$ , and a period between the rising edge of  $G_1$  and the falling edge of  $G_2$ , i.e., periods during which both  $G_1$  and  $G_2$  are in an OFF state, are secured by a finite value  $t$ . The value  $t$  is set so as to have a longer time period, compared to a transitional switching time of the switching elements 17, 18, 19, and 20.

$Q_n$  represents an  $n^{th}$  sampling pulse when video signals in 1H are supplied in a time division manner.  $Q_n$  is used to sample information of the video signals, which will be supplied to  $n^{th}$  line of the liquid crystal panel.  $V_{na}$  and  $V_{nb}$  are voltages to be supplied to the sampling and holding capacitors  $C_{na}$  and  $C_{nb}$ , respectively. Further,  $V_{out}$  represents a waveform of an output signal of the video

output terminal 22. The video output terminal 22 is connected to an  $n^{\text{th}}$  electrode (not shown) of the liquid crystal panel.

In the timing chart, during  $t_1$  period, since  $G_1$  is ON and  $G_2$  is OFF, information of the sampling and holding capacitor  $C_{nb}$  is transmitted to the video output terminal 22. Further, video signal information is sampled to the sampling and holding capacitor  $C_{na}$  according to the sampling pulse  $Q_n$ . Next, during  $t_2$  period, since  $G_1$  is Off and  $G_2$  is ON, the information of  $C_{na}$  thus sampled during  $t_1$  period is transmitted to the video output terminal 22. Further, video signal information is sampled to the capacitor  $C_{nb}$  according to the sampling pulse  $Q_n$ .

During the following periods  $t_3$ ,  $t_4$ , ..., operations carried out in  $t_1$  and  $t_2$  periods will be repeated in a similar manner.

According to the present invention, a pulse generation circuit for driving a liquid crystal panel has periods  $t$  between periods for sampling and holding operations  $t_1$ ,  $t_2$ ,  $t_3$ ,  $t_4$ , .... During the  $t$  periods, both of the sampling and holding control pulses  $G_1$  and  $G_2$  are in an OFF state. This allows sampling and holding voltages  $V_{na}$  and  $V_{nb}$  to go into a hold period, after the completion of a sample period.

As described above, according to the present embodiment, a period  $t$ , during which both of the

sampling and holding control pulses  $G_1$  and  $G_2$  are in an OFF state, is set to be longer than a transitional switching time of the elements constituting a sample and hold circuit. With the above arrangement, the conventional problems can be solved. Specifically, no crosstalk occurs between the two sampling and holding voltages  $V_{na}$  and  $V_{nb}$ , so that accurate video signal information can be transmitted to the video output terminal 22.

When switching circuits constituted by aluminum gate MOS are used as elements constituting a sample and hold circuit, their transitional switching time will be approximately 50 nsec to 100 nsec. Thus, approximately 2  $\mu$ sec to 3  $\mu$ sec may be set for a time period during which both of  $G_1$  and  $G_2$ , supplied from a control pulse generation circuit, become in an OFF state.

#### [EFFECT OF THE INVENTION]

As described above, a control pulse generation circuit for driving a liquid crystal panel of the present invention includes a video signal sample and hold circuit, which samples a video signal during one horizontal scanning period in a time division manner and holds the video signal during another one horizontal scanning period subsequently. In the video signal sample and hold circuit receiving a video signal as a control pulse, two control pulses having a cycle of two horizontal periods are provided, and a time period during which both of the two

control pulses are in an OFF state is longer than a transitional switching time of an element constituting the sample and hold circuit. With the above arrangement, the conventional problems are solved. Specifically, no crosstalk occurs between two sampling and holding voltages, so that accurate video signal information can be transmitted to a video output terminal.

#### 4. BRIEF DESCRIPTION OF DRAWINGS

Fig. 1 is a block diagram showing a control pulse generation circuit for driving a liquid crystal panel according to one embodiment of the present invention, and Fig. 2 shows its timing chart. Fig. 3 is a block diagram showing a typical structure of a liquid crystal television receiver. Fig. 4 is a block circuit diagram showing a Y driver IC and a control pulse generation circuit by way of example. Fig. 5 is a block diagram showing a conventional pulse generation circuit for driving a liquid crystal panel, and Fig. 6 shows its timing chart.

7: Control pulse generation circuit

15: Video input terminal

16, 17, 18, 19, and 20: Switching elements

21: Buffer amplifier

22: Video output terminal

- 2: TUNER
- 3: SIGNAL PROCESSING CIRCUIT SECTION
- 4: AUDIO OUTPUT CIRCUIT
- 5: CHROMA SECTION
- 6: SPEAKER
- 8: LIQUID CRYSTAL PANEL
- 9: Y DRIVER
- 10: X DRIVER
- 11: ANALOG MULTIPLEXER
- 13: SHIFT REGISTER
- 14: SAMPLE HOLD & AMPLIFIER

Attorney name: Toshio NAKANO, and one other

(9) 日本国特許庁 (JP) (11) 特許出願公開  
 (12) 公開特許公報 (A) 昭61-256390

(5) Int.CI. <sup>4</sup>	識別記号	序内整理番号	(13) 公開 昭和61年(1986)11月13日 <i>Publication Date : (Nov. 13, 1986)</i>
G 09 G 3/36		8621-5C	
G 02 F 1/133	129	Z-7348-2H	
H 03 K 7/02		7259-5J	
H 04 N 5/66	102	7245-5C	審査請求 未請求 発明の数 1 (全6頁)

(6) 発明の名称 液晶パネル駆動用制御パルス発生回路

(7) 特願 昭60-99819  
 (8) 出願 昭60(1985)5月10日

(9) 発明者 高橋 公代 門真市大字門真1006番地 松下電器産業株式会社内  
 (10) 出願人 松下電器産業株式会社 門真市大字門真1006番地  
 (11) 代理人 弁理士 中尾 敏男 外1名

2 ページ

明細書

1. 発明の名称

液晶パネル駆動用制御パルス発生回路

2. 特許請求の範囲

1 水平走査期間の映像信号を時分割的にサンプリングし、次の1水平走査の期間ホールドする映像信号サンプルホールド回路に加えられる制御パルスとして、2つの2水平周期の制御パルスを有し、かつこの2つの制御パルスがともにオフである期間を上記サンプルホールド回路を構成する素子の過渡的なスイッティング時間より大きくしたことを特徴とする液晶パネル駆動用制御パルス発生回路。

3. 発明の詳細な説明

産業上の利用分野

本発明は、サンプルホールド回路を有する液晶パネル駆動回路に制御パルスを供給するための制御パルス発生回路に関するものである。

従来の技術

近年、液晶パネルを表示素子とした液晶テレビ

ジョン受像機が開発されている。この液晶テレビジョン受像機の動作の概要についてまず説明する。

第3図に液晶テレビジョン受像機の一般的な構成を示す。放送局から送られたテレビ信号はアンテナ1で受信され、チューナ2で周波数変換され中間周波数となる。中間周波数に変換されたテレビ信号は、信号処理回路部3で増幅、検波され音声信号と映像信号とが得られる。音声信号は音声出力回路4を経てスピーカー6に出力される。映像信号は、クロマ部8に印加される。クロマ部8にはクロマ処理部とクロマ出力部とがあり、映像信号はクロマ処理部でR、G、B信号に復調され、その後クロマ出力部で1フィールド毎に極性を反転させられた信号に変換され、Yドライバー集積回路9に加えられる。(以下集積回路をICと略す)。YドライバーIC9に加えられた映像信号は、サンプルホールドされてアクティブマトリックス液晶パネル8のソースラインに印加される。また映像信号は制御パルス発生回路7に加えられ、ここで各種制御パルスが得られ、XドライバーIC

10、及びYドライバーIC9の制御信号入力端子に印加される。XドライバーIC10は、たて方向の走査を行なうためのものであり、この出力はアクティブマトリクス液晶パネルBのゲートラインに加えられる。XドライバーIC10からのたて方向走査パルスとYドライバーIC9からの映像信号によって、アクティブマトリクス液晶パネルB上にテレビ画像が得られる。

次に、第3図に示すYドライバーIC9の動作と制御パルス発生回路7からの制御パルスの関係について説明する。第4図にYドライバーIC9、及び制御パルス発生回路7の構成の一例を示す。本例では制御パルス発生回路からYドライバーIC制御パルスとして、 $\phi_Y, G_1, G_2, S$  が加えられている。クロマ部からのR, G, B信号はR, G, B端子に加えられ、アナログマルチプレクサ11により1水平周期毎に切り換えられ3本の映像信号ライン12に導かれる。アナログマルチプレクサ11は、液晶パネルのR, G, B絵素配列に応じた切換動作を行なう。13はシフトレジスタで

あり、制御パルス発生回路からのクロック $\phi_Y$ とスタートパルスSを入力とし、サンプリングパルス $\theta_1, \theta_2, \dots$ を順次出力する。14はサンプルホールド回路及びオペアンプであり、映像信号ライン12の映像信号をシフトレジスタからのサンプリングパルス $\theta_1, \theta_2, \dots$ によってサンプリングし、制御パルス発生回路から加えられる $G_1, G_2$ パルスによってホールド動作を行なうものである。サンプルホールド回路及びオペアンプ14の出力はYドライバーICの出力端子 $Y_{o1}, Y_{o2} \dots$ に接続されており、この出力端子 $Y_{o1}, Y_{o2} \dots$ はアクティブマトリクス液晶パネルのソースラインに接続されている。第4図におけるサンプルホールド回路及びオペアンプの1つの回路(ロ番目)及び制御パルス発生回路を第5図に示し、第6図にそのタイミングチャートを示す。

第5図において、7は制御パルス発生回路、15は映像入力端子、16, 17, 18, 19, 20はそれぞれ制御信号 $Q_n, G_1, G_2, G_2, G_1$ によって制御されるスイッチング素子、 $C_{na}, C_{nb}$ はサ

ンブルホールド用コンデンサ、21はバッファアンプ、22は映像出力端子である。

以上のように構成された従来の液晶パネル駆動用制御パルス発生回路及びサンブルホールド回路について、第6図のタイミングチャートに基づきその動作を説明する。

$V_{in}$ は映像入力端子15に加えられる入力信号の波形であり1水平周期を1Hで表わしてある(以下、1水平周期は1Hと略す)。 $G_1, G_2$ は制御パルス発生回路7から加えられるサンブルホールド回路の制御パルスであり、 $G_1, G_2$ とも周期は2水平周期であり、位相は互いに $\pi$ だけずれている。また、 $G_1$ の立下りと $G_2$ の立上り、及び $G_1$ の立上りと $G_2$ の立下りとはタイミングが一致している。 $Q_n$ は1Hの映像信号を時分割したときのロ番目のサンプリングパルスであり、液晶パネルのロ列目に供給する映像信号の情報をサンプリングするものである。 $V_{na}, V_{nb}$ はそれぞれサンブルホールドコンデンサ $C_{na}, C_{nb}$ にかかる電圧であり、 $V_{out}$ は映像出力端子22の

出力信号の波形である。映像出力端子22は液晶パネルのロ列目の電極(図示せず)に接続される。

タイミングチャートにおいて、 $t_1$ の期間は $G_1$ がオンで $G_2$ がオフであるから、サンブルホールドコンデンサ $C_{nb}$ の情報が映像出力端子22に伝えられるとともに、サンブルホールドコンデンサ $C_{na}$ にはサンプリングパルス $Q_n$ によって映像信号情報がサンプリングされる。次に、 $t_2$ の期間は $G_1$ がオフで $G_2$ がオンであるから、 $t_1$ 期間にサンプリングされた $C_{na}$ の情報が映像出力端子22に伝えられるとともに $C_{nb}$ には $Q_n$ のサンプリングパルスによって映像信号情報がサンプリングされる。

以下 $t_3, t_4, \dots$ の期間はそれぞれ $t_1, t_2$ の期間と同様の動作を繰り返す。

#### 発明が解決しようとする問題点

しかしながら、このような従来の回路では、制御パルス発生回路からのサンブルホールド制御パルス $G_1, G_2$ において $G_1$ の立下りと $G_2$ の立上り、及び $G_1$ の立上りと $G_2$ の立下りのタイミン

グが一到しているのに対し、サンプルホールド動作を行っているスイッチ $17, 18, 19, 20$ を構成している素子（例えばMOSのアナログスイッチなど）の過渡的なスイッチング時間はゼロではないため、 $G_1, G_2$ が切り換わる際 $G_1, G_2$ 両方ともがオンとなってしまう期間が存在し、 $V_{na}, V_{nb}$ 間にクロストークが発生し、映像出力端子 $22$ には正確な映像信号情報が伝達されない、という問題点を有していた。第6図の例では、 $t_3$ の期間に $V_{out}$ として $V_{nb}$ の信号が output されねばならないのに $V_{na}$ の影響を受け正確な情報が得られない。

本発明は上記問題点に鑑み、2つのサンプルホールド電圧 $V_{na}, V_{nb}$ 間にクロストークがなく、YドライバーICの映像出力端子 $22$ に正確な映像信号情報を伝達する液晶パネル駆動用制御バルス発生回路を提供することを目的としている。

#### 問題点を解決するための手段

上記問題点を解決するため、本発明の液晶パネル駆動用制御バルス発生回路は、1水平走査期間

の映像信号を時分割的にサンプリングし、次の1水平走査の期間ホールドする、YドライバーIC内映像信号サンプルホールド回路に加えられる制御バルスとして、2つの2水平周期の制御バルスを有し、かつこの2つの制御バルスがともにオフである期間をサンプルホールド回路を構成する素子の過渡的なスイッチング時間より大きくしたものである。

#### 作用

本発明は上記した構成により、2つのサンプルホールド制御バルスが切り換わる際、ある有限期間だけこの両バルスが共にオフとなり、そのあとでどちらかがオンとなるので、2つのサンプルホールドされた電圧間にクロストークは発生せず、映像出力端子に正確な映像信号情報を伝達できることとなる。

#### 実施例

以下本発明の一実施例の液晶パネル駆動用制御バルス発生回路について、図面を参照しながら説明する。

9 ページ

第1図は本発明の一実施例を示す構成図、第2図はそのタイミングチャートである。構成そのものは第5図のものと同一である。すなわち第1図において $\bar{A}$ は制御バルス発生回路、 $15$ は映像入力端子、 $16, 17, 18, 19, 20$ はそれぞれ制御信号 $Q_n, G_1, G_2, G_2, G_1$ によって制御されるスイッチング素子、 $C_{na}, C_{nb}$ はサンプルホールド用コンデンサ、 $21$ はバッファアンプ、 $22$ は映像出力端子である。

以上のように構成された液晶パネル駆動用制御バルス発生回路及びサンプルホールド回路について以下第2図タイミングチャートに基づきその動作を説明する。

$V_{in}$ は映像入力端子 $15$ に加えられる入力信号の波形であり、1水平周期を1Hで表わしてある。 $G_1, G_2$ は制御バルス発生回路からYドライバーICに加えられるサンプルホールド回路の制御バルスであり、 $G_1, G_2$ とも周期は2水平周期であり、位相は互いに $\pi$ だけずれている。また $G_2$ の立下りと $G_1$ の立上りの間、及び $G_1$ の立下りと

$G_2$ の立上りの間、すなわち $G_1, G_2$ の両方ともがオフである期間を有限値 $t$ だけとっている。そしてこの $t$ の値はサンプルホールド回路を構成する素子、つまりスイッチング素子 $17, 18, 19, 20$ の過渡的なスイッチング時間よりも大きくとっている。

$Q_n$ は1Hの映像信号を時分割したときの $n$ 番目のサンプリングバルスであり、液晶パネルの $n$ 列目に供給する映像信号の情報をサンプリングするものである。 $V_{na}, V_{nb}$ はそれぞれサンプルホールドコンデンサ $C_{na}, C_{nb}$ にかかる電圧であり、 $V_{out}$ は映像出力端子 $22$ の出力信号の波形である。映像出力端子 $22$ は液晶パネルの $n$ 列目電極（図示せず）に接続される。

タイミングチャートにおいて、 $t_1$ の期間は $G_1$ がオンで $G_2$ がオフであるから、サンプルホールドコンデンサ $C_{nb}$ の情報が映像出力端子 $22$ に伝えられるとともに、サンプルホールドコンデンサ $C_{na}$ にはサンプリングバルス $Q_n$ によって映像信号がサンプリングされる。次に $t_2$ の期間は $G_1$

10 ページ

がオフで  $G_2$  がオンであるから、 $t_1$  期間にサンプリングされた  $C_{na}$  の情報が映像出力端子 22 に伝えられるとともに  $C_{nb}$  には  $Q_n$  のサンプリングパルスによって映像信号情報がサンプリングされる。

以下、 $t_3, t_4, \dots$  の期間はそれぞれ  $t_1, t_2$  の期間と同様の動作を繰り返す。

本発明による液晶パネル駆動用制御パルス発生回路では、サンプルホールド動作期間  $t_1, t_2, t_3, t_4, \dots$  の間にサンプルホールド制御パルス  $G_1, G_2$  がともにオフである期間  $t$  を設けているため、サンプルホールド電圧  $V_{na}, V_{nb}$  はサンプリング期間が完全に終了したあとでホールド期間に移行することになる。

以上のように、本実施例によれば、2つのサンプルホールド制御パルス  $G_1, G_2$  がともにオフである期間  $t$  を、サンプルホールド回路を構成する素子の過渡的なスイッチング時間より大きく設定したことにより、従来回路で問題となっていた2つのサンプルホールド電圧  $V_{na}, V_{nb}$  間のクロス

トクをなくし、映像出力端子 22 に正確な映像信号情報を伝達することができる。

サンプルホールド回路を構成する素子としてアルミゲートMOSによるスイッチ回路を使用した場合、その過渡的なスイッチング時間は  $50 \mu\text{sec} \sim 100 \mu\text{sec}$  程度となるので、制御パルス発生回路からのサンプルホールド制御パルス  $G_1, G_2$  がともにオフとなる期間を  $2 \sim 3 \mu\text{sec}$  程度に設定すればよい。

#### 発明の効果

以上のように、本発明の液晶パネル駆動用制御パルス発生回路によれば、1Hの映像信号を時分割的にサンプリングし、次の1Hの期間ホールドする映像信号サンプルホールド回路に加えられる制御パルスとして、2つの2水平周期の制御パルスを有し、かつこの2つの制御パルスの両方ともがオフである期間をサンプルホールド回路を構成する素子の過渡的なスイッチング時間より大きく設定したことにより、従来回路で問題となっていた2つのサンプルホールド電圧間のクロストーク

をなくし、映像出力端子に正確な映像信号情報を伝達することができる。

#### 4. 図面の簡単な説明

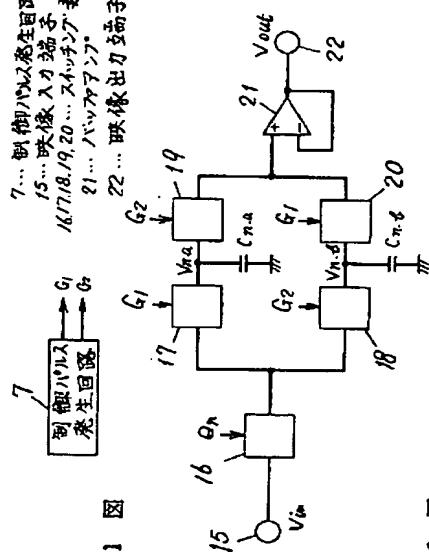
第1図は本発明の一実施例における液晶パネル駆動用制御パルス発生回路を示すブロック図、第2図はそのタイミングチャート、第3図は液晶テレビジョン受像機の一般的な構成図、第4図はドライバーIC及び制御パルス発生回路の構成の一例を示す図、第5図は従来例の液晶パネル駆動用制御パルス発生回路を示すブロック図、第6図はそのタイミングチャートである。

7……制御パルス発生回路、16……映像入力端子、16, 17, 18, 19, 20……スイッチング素子、21……バッファアンプ、22……映像出力端子。

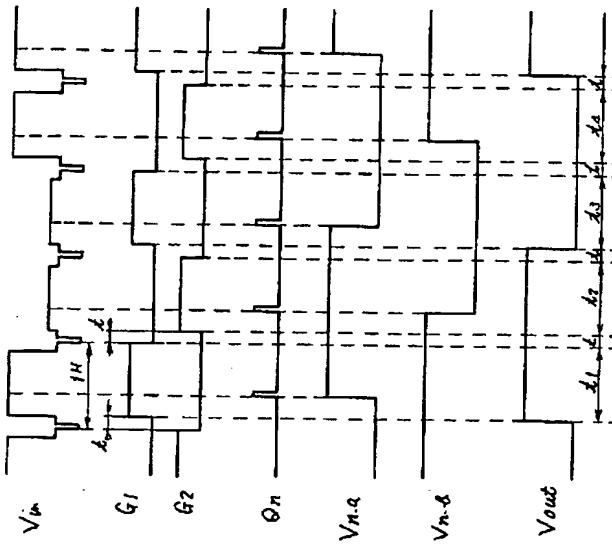
代理人の氏名 弁理士 中尾敏男 ほか1名

第 1 図

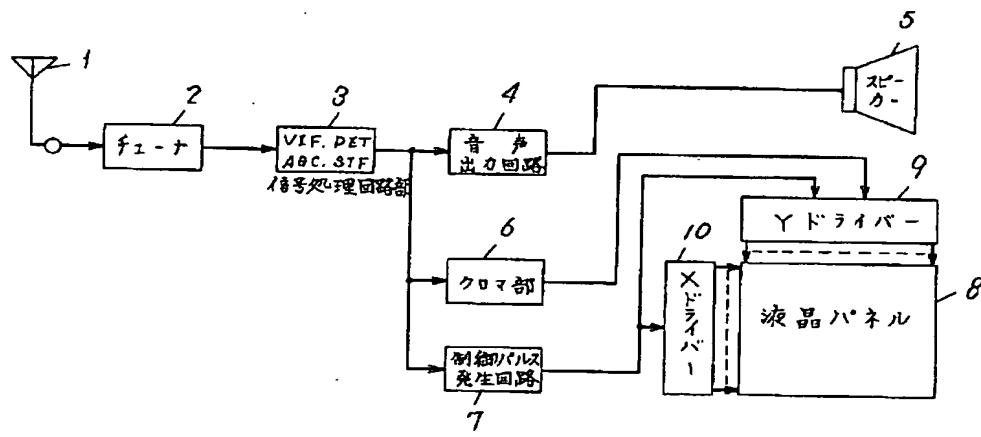
7...制御パルス発生回路  
15...映像入力端子  
21...スピーカアンプ  
22...映像出力端子



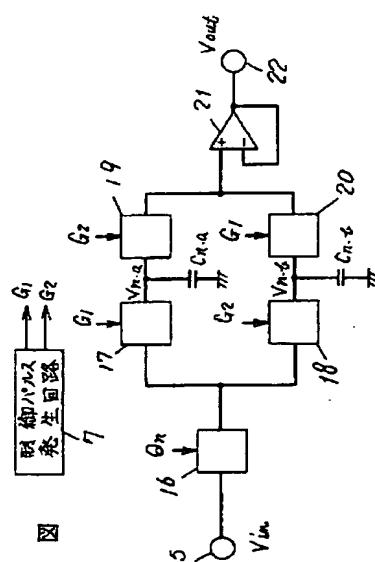
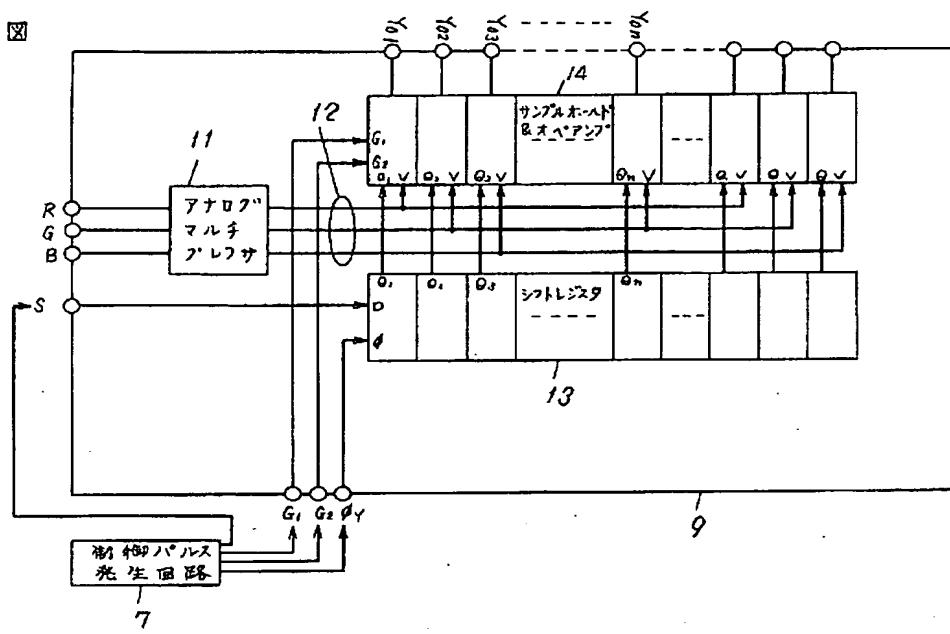
第 2 図



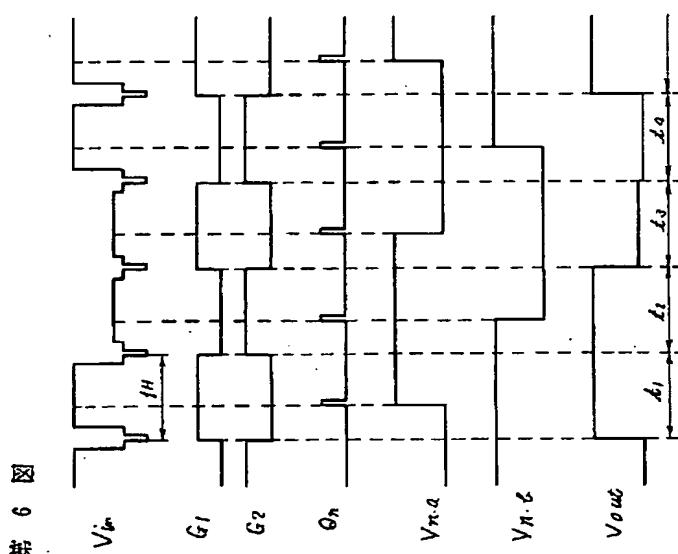
第 3 図



第4図



第5図



第6図

昭 62. 8. 4 発行

手 続 補 正 書

昭和 62 年 5 月 13 日

特許庁長官殿



特許法第 17 条の 2 の規定による補正の掲載

昭和 60 年特許願第 99819 号(特開昭  
61-256390 号, 昭和 61 年 11 月 13 日  
発行 公開特許公報 61-2564 号掲載)につ  
いては特許法第 17 条の 2 の規定による補正があつ  
たので下記のとおり掲載する。 6 (2)

Int. C.I.	識別記号	府内整理番号
G09G 3/36		8621-5C
G02F 1/133	129	Z-7348-2H
H03K 7/02		7259-5J
H04N 5/66	102	7245-5C

1 事件の表示

昭和 60 年 特 許 願 第 99819 号

2 発明の名称

液晶パネル駆動用制御バルス発生回路

3 補正をする者

事件との関係 特 許 出 願 人  
住 所 大阪府門真市大字門真 1006 番地  
名 称 (582) 松下電器産業株式会社  
代 表 者 谷 井 昭 雄

4 代 理 人 T 571

住 所 大阪府門真市大字門真 1006 番地  
松下電器産業株式会社 内

氏 名 (5971) 弁理士 中 尾 錦 男  
(ほか 1名)

(連絡先 電話(東京)437-1121 東京法務分室)

5 補正の対象

明細書の発明の詳細な説明の欄

6、補正の内容

- (1) 明細書第 4 頁第 3 行の「 $\theta_1, \theta_2$ 」を「 $Q_1, Q_2$ 」に補正します。
- (2) 同第 4 頁第 6 行の「 $\theta_1, \theta_2$ 」を「 $Q_1, Q_2$ 」に補正します。